
(19) **KOREAN INTELLECTUAL PROPERTY OFFICE**

KOREAN PATENT ABSTRACTS

(11)Publication number: **1020000023266**
(43)Date of publication of application: **25.04.2000** **A**

(21)Application number: **1019990040104**
(22)Date of filing: **17.09.1999**
(30)Priority: **18.09.1998 JP 98 264410**

(71)Applicant: **NEC CORPORATION**
(72)Inventor: **HIRASAWA KOKI
ONO TERUO**

(51)Int. Cl **H05K 3/46**

(54) MULTIPLE LAYER CIRCUIT BOARD FOR SEMICONDUCTOR CHIP MODULE AND METHOD FOR MANUFACTURING THE SAME

(57) Abstract:

PURPOSE: A multiple layer circuit board for semiconductor chip module and a method for manufacturing the same are provided to reduce GND wiring layers for a wiring structure of a high density.

CONSTITUTION: A multiple layer circuit board for semiconductor chip module comprises a lower portion substrate(1), an insulated layer(2,3), a fixed location wiring layer(4), a via hole(5), and a metal layer(6). A lower end portion of the metal layer is contacted on a main surface of the lower portion substrate. One of the insulated layers contacted on the main surface of the lower portion substrate is formed on the lower portion substrate. The lower end portion of the metal layer is contacted to an upper face of a fixed dislocation wiring layer of the insulated layer. Other insulated layers are accumulated on the insulated layer contacted to the main surface of the lower portion substrate.

COPYRIGHT 2000 KIPO

Legal Status

Date of final disposal of an application (20020130)

Patent registration number (1003354540000)

Date of registration (20020423)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent ()

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

Date of extinction of right ()

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H05K 3/46

(11) 공개번호 특2000-0023266
(43) 공개일자 2000년04월25일

(21) 출원번호	10-1999-0040104
(22) 출원일자	1999년09월17일
(30) 우선권 주장	98-264410 1998년09월18일 일본(JP)
(71) 출원인	닛뽕덴끼 가부시끼가이샤 가네코 히사시
(72) 발명자	일본 도오교도 미나토꾸 시바 5초메 7방 1고 히라사와고끼 일본도오교도미나토꾸시바5초메7방1고닛뽕덴끼가부시끼가이샤나이 오노데루오 일본가고시마켄이부스끼군기이레쵸호꾸라11620-45가부시끼가이샤후지가미 미크로나이
(74) 대리인	박해선, 조영원

심사청구 : 있음

(54) 반도체칩 모듈용 다층 회로기판 및 그의 제조방법

요약

반도체칩 모듈용 다층 회로기판은 하부기판, 절연층, 고정 배선층, 비아홀 및 금속층을 포함한다. 하부기판은 고정전위가 인가되는 금속재료로 만들어진 주표면을 갖는다. 절연층은 하부기판의 주표면 상에 적층되며 그들 표면 상에는 배선층이 형성된다. 고정전위 배선층은 절연층 상에 형성된 배선층의 일부분을 이룬다. 비아홀은 고정전위 배선층의 아래에 절연층을 통하여 연장 형성된다. 금속층이 비아홀 내에 충전되어서, 그 상단부가 고정전위 배선층의 하부면에 접촉되게 한다. 금속층의 하단부가 하부기판의 주표면과 접촉하는 상태로, 하부기판의 주표면과 접촉하고 있는 절연층 중 하나를 하부기판 상에 형성하며, 금속층의 하단부가 하나의 절연층의 고정전위 배선층의 상부면과 접촉하고 있는 상태로, 하부기판의 주표면에 접촉하고 있는 절연층 상에 형성된 다른 절연층을 적층시키고 있다.

도면

도 1

도면

반도체칩 모듈용 다층 회로기판

도면

도면의 간단한 설명

도 1 은 본 발명의 실시예에 따른 반도체칩 모듈용 다층 회로기판의 구조를 보여주는 단면도이다.

도 2 는 본 발명의 실시예에 따르는 반도체칩 모듈용 다층 회로기판내에서의 GND 단자로서의 전류의 흐름을 도시하는 단면도이다.

도 3A 내지 도 3E 는 본 발명에 따르는 반도체칩 모듈용 다층 회로기판의 지시조 단계를 각각 도시하는 단면도로서, 도 3A 는 재료를 준비하는 단계를 보여주며, 도 3B 는 각 층내에서의 비아홀을 형성하는 단계를 보여주며, 도 3C 는 금속으로 비아홀을 충전하는 단계를 보여주며, 도 3D 는 배선패턴을 형성하는 단계를 보여주며, 도 3E 는 적층/압축 본딩단계를 보여준다.

도 4A 및 도 4B 는 본 발명에 따르는 반도체칩 모듈용 다층 회로기판을 제조하는 방법에서 접속방법의 예를 각각 도시하고 있는 단면도들로서, 도 4A 는 압축본딩 전의 접속방법을 보여주며, 도 4B 는 압축본딩 후의 접속방법을 도시한다.

도 5A 및 도 5B 는 본 발명에 따르는 반도체칩 모듈용 다층 회로기판을 제조하는 방법에서 접속방법의 또 다른 예를 각각 도시하는 단면도들로서, 도 5A 는 압축본딩 전의 접속방법을 보여주며, 도 5B 는 압축본딩 후의 접속방법을 도시한다.

도 6 은 본 발명의 또다른 실시예에 따른 반도체칩 모듈용 다층 회로기판의 구조를 보여주는 단면도이다.

도 7A 및 도 7B 는 종래기술을 도시하는 도면으로서, 도 7A 는 종래기술의 전체구조를 도시하는 사시도

이며, 도 7B 는 GND 단자로의 전류의 흐름을 도시하는 도 7A 의 A-A 를 따라서 얻어진 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체칩 모듈을 다층 회로기판에 관한 것이며, 특히 고밀도 배선에 적합한 반도체칩 모듈을 다층 회로기판에 관한 것이다.

최근, 반도체칩 모듈을 다층 회로기판에서는, 다수의 IC 칩을 갖는 반도체칩 모듈이 리드프레임의 다이패드 상에 탑재된다. 리드프레임 상에 탑재된 IC 칩과 다층 회로기판 사이의 전극들 및 리드프레임 및 반도체칩 모듈 기판은 범프 혹은 와이어본딩에 의해서 전기적으로 접속된다.

그런 다층 회로기판의 주류는 세라믹의 하부기판 상에 구리 및 폴리이미드 박막 다층회로를 형성함으로써 제조된 수지층기판이다.

도 7A 및 도 7B 는 반도체칩 모듈을 종래의 다층 회로기판의 예를 도시하고 있다. 도 7A 는 전체 구조를 도시하고 있으며, 도 7B 는 도 7A 의 A-A 를 따라서 얻어진 부분을 도시한다.

도 7A 에 도시된 것처럼, 반도체칩 (9) 과 칩부품 (8) 은 종래의 반도체칩 모듈을 다층 회로기판 상에 장착된다. 반도체칩 (9) 과 칩부품 (8) 은 본딩와이어 (10), 기판 표면 상의 GND 배선층 (14) 및 기판 에지의 금속화부분 (12) 에 의해서 다층 회로기판 (11) 에 장착된 머더보드의 GND 단자 (도시되지 않음) 와 접속된다.

종래의 기판 구조에서, GND 단자로의 전류는, 도 7B 에서의 화살표 방향에 의해서 지시된 것처럼, 반도체칩 (9) 으로부터 본딩와이어 (10), 칩부품 (8), GND 배선층 (14), 금속화부분 (12) 및 리드와이어 (13) 을 경유하여 머더보드의 GND 단자로 흐르게 된다. GND 단자로의 전류를 통과하는 금속화부분 (12) 는 다층 회로기판 (11) 의 주변부에서 형성된다. GND 배선층 (14) 은 주변부에서 금속화부 (12) 로 연장되어야만하며, 이것은 GND 배선층 (14) 을 연장시키게된다.

종래의 반도체칩 모듈을 다층 회로기판에서, 긴 GND 배선층은 GND 배선층의 임피던스와 레지스턴스를 증가시키고, 정확한 GND 전위보다 높은 전위가 반도체칩으로 공급되는데, 이것은 바람직하지 않다. 긴 GND 배선층은 또한 전력소모를 증가시킨다.

발명이 이루고자 하는 기술적 과제

그러므로, 본 발명의 목적은 고밀도 배선에 적당한 반도체칩 모듈을 다층 회로기판의 GND 배선층을 단축하는 것이다.

이러한 목적을 얻기 위하여, 본 발명에 따르면, 고정전위가 인가되는 금속재료로 만들어진 주표면을 갖는 하부기판과, 하부기판의 주표면 상에 적용되어 있으며, 그 표면에 배선층이 형성된 절연층과, 상기 절연층 상에 형성된 배선층의 일부분을 이루는 고정전위 배선층과, 상기 고정전위 배선층의 아래에 절연층을 통하여 연장 형성된 비아홀과, 상기 비아홀에 충전되어 그 상단부가 고정전위 배선층의 하부면과 접속되는 금속층을 구비하며, 상기 금속층의 하단부가 하부기판의 주표면과 접촉하고 있는 상태로, 하부기판의 주표면과 접촉하고 있는 절연층 중 하나를 하부기판 상에 형성하고, 금속층의 하단부가 하나의 절연층의 고정전위 배선층의 상부면과 접촉하고 있는 상태로, 하부기판의 주표면에 접촉하고 있는 절연층 상에 형성된 다른 절연층을 적용시키고 있는 반도체칩 모듈을 다층 회로기판을 제공하는 것이다.

발명의 구성 및 작용

본 발명의 바람직한 실시예는 첨부된 도면을 참조하여 다음에 상세하게 설명될 것이다.

도 1 은 본 발명의 실시예에 따르는 반도체칩 모듈을 다층 회로기판의 구조를 나타낸다. 상기 다층 회로기판은 하부기판으로서 사용되는 구리금속판(1) 과, 두 개의 절연층으로서 작용하는 유기수지시트 (2 및 3) 와, 상기 유기수지시트 (2,3) 상에 형성된 구리배선층을 구비한다. 유기수지시트 (2,3) 상에 형성된 배선층은 GND 배선층 (4) 을 포함한다. 설명의 편리함을 위하여, 이 실시예에서는, 유기수지시트는 두 층으로 형성된다. 그러나, 유기수지시트가 3 층이상으로 형성될지라도, 동일한 기본 구조가 사용될 수 있다. 예제의 편리함을 위하여, 각 유기수지시트 상에는 GND 배선층 (4) 만이 형성된 배선층으로서 설명된다.

유기수지시트 (2,3) 는 폴리이미드와 같은 유기수지로 이루어진다. 유기수지시트 (2,3) 는 GND 배선층 (4) 을 상호 전기적으로 접속하고, GND 배선층 (4) 과 금속판 (1) 을 접속하기 위하여 비아홀 (5) 을 갖는다. 유기수지시트 (2,3) 내에 형성된 비아홀 (5) 은 각각의 층을 전기적으로 접속하기 위하여 금속층 (6) 으로 충전된다. 비아홀 (5) 내에 충전된 금속층 (6) 의 예는 도금 전극으로서 구리박막을 사용하여 전기도금에 의해서 제조된 도금구리이다. 유기수지시트 (2) 를 갖는 금속판 (1) 은 머더보드(도시되지 않음) 의 GND 단자에 접속되며, 비아홀 내의 금속층 (6) 을 통하여 각각의 배선층 상의 GND 배선층 (4) 과 접속된다.

이러한 구조를 갖는 다층 회로기판의 상부면상에는 다수의 칩이 탑재되어 반도체칩 모듈(다중칩 모듈: multi-chip module (MCM)) 을 구비한다. 다수의 칩을 구비하는 MCM 을 구비하는 반도체칩 모듈은 예를 들어 머더보드 상에 장착된다.

이 실시예에서, 금속판 (1) 은 리드프레임으로부터 형성될 수도 있다.

도 2는 도 1에 도시된 다층 회로기판을 사용하는 반도체칩 모듈을 도시한다. 칩부품 (8)과 반도체 칩 (9)은 다층 회로기판의 상부면 상에 장착된다. 도 2에 도시된 다층 회로기판은 도 1 내의 구조와 1:1 대응하지는 않는다는 것에 주목하자. 도 2는 유기수지시트 (2;3) 내에 형성된 단 하나의 비아홀 (5)을 도시하고 있다.

GND 단자로의 전류의 흐름은 도 2를 참조하여 설명될 것이다. 도 2의 화살표에 의해서 지시된 바와 같이, 도 1에 도시된 머더보드의 GND 단자 (도시되지 않음)는 반도체칩 (9)과 칩부품 (8)으로부터 GND 배선층 (4)으로 흐르며, 유기수지시트 (2;3) 내에 형성된 비아홀 (5) 내의 금속층 (6)을 통하여 금속판 (1)으로 바로 흐르며, 금속판 (1)에서 머더보드의 GND 단자로 흐른다. 이 전류의 흐름은 도 7B 내에 도시된 종래 기술에서의 전류의 흐름과 비교된다. 종래에는, GND 배선층 (14)은 다층 회로기판의 단부에 형성된 금속화부분까지 연장된다. 그에 반하여, 본 발명은, GND 배선층 (4)은 비아홀 (5)을 통하여 금속판 (1)에 바로 접속되어서, 그 길이가 상당히 단축된다.

도 3A 내지 도 3E는 본 발명에 따르는 반도체칩 모듈용 다층 회로기판을 제조하는 단계를 도시한다. 도 3A 내지 도 3E는 도 1에 도시된 다층 회로기판을 제조하는 예를 보여준다. 도 3A는 재료를 준비하는 단계를 보여주며, 도 3B는 각 층내의 비아홀을 형성하는 단계를 보여주며, 도 3C는 구리를 가지고 비아홀을 충전하는 단계를 보여주며, 도 3D는 GND 배선층을 구비하는 배선층을 형성하는 단계를 보여주며, 도 3E는 적층/압축 본딩 단계를 보여준다.

본 발명의 제조방법에 있어서, 각각의 층을 적층하기 전에, 비아홀 및 배선층이 형성되며, 배선층을 형성한 후에 층들은 적층되고, 압축본딩된다.

도 3A에 도시된 바와 같이, 하부기판으로서 작용하는 구리금속판 (1)과, 각각이 약 50 μ m의 두께의 폴리에이미드(PI)막 (21)과 약 10 내지 18 μ m 두께의 구리막 (20)을 접착함으로써 형성된 시트가 준비된다. 상기 PI 막 (21)은 다층구조를 가지며, 금속에 대하여 적절한 접착 강도와 금속의 열팽창 계수와 일치하는 열팽창계수를 유지하도록, 저열팽창계수를 갖는 PI 막은 접착성 PI 막들 사이에 존재한다.

도 3B에 도시된 바와 같이, 비아홀 (5)은 PI 막 (21) 내에 형성된다. 이 가공시에는, 각 비아홀 (5)은 YAG 레이저등을 사용하며, PI 막 (21) 내의 소정의 위치에 형성된다. 비아홀 (5)을 형성할 때, 레이저빔 직경은 약 10 내지 40 μ m로 감소되어서, 약 50 내지 100 μ m 직경의 비아홀 (5)을 형성한다. 비아홀이 임의의 레이저를 사용하지 않고 플라즈마 에칭에 의해서 형성될 때, 플라즈마 에칭을 제어하여 Cu 혹은 Ni를 도금하고 패터닝함으로써 형성된 약 2 내지 5 μ m 두께의 금속막의 마스크를 사용한다.

도 3C에 도시된 바와 같이, 비아홀 (5)은 금속층 (6)으로 충전된다. 비아홀 (5) 내에 충전된 금속층 (6)은 도금전극으로서 구리박막을 사용하여 전기도금에 의해서 제조된 도금된 구리로 제조된다. 금속층 (6)이 전기도금에 의해서 비아홀 (5) 내에 충전될 때, 금속층 (6)의 하단부는 약 1 내지 3 μ m 정도 돌출하도록 조정된다.

도 3D에 도시된 바와 같이, 구리박막 (20)은 비아홀 (5)의 상부를 포함하는 PI 막 (21) 상에 배선패턴 (배선층)을 형성하도록 에칭된다. 설명의 편리함을 위하여, 도 3D는 GND 배선층 (4)만을 도시한다. 비록 도시되지는 않았으나, 니켈의 본딩과 금의 도금은 최상부 PI 막 상에 약 2 내지 3 μ m와, 0.2 내지 0.5 μ m의 두께로 각각 증착된다.

도 3E에 도시된 바와 같이, 배선층을 갖는 두 개의 PI 막 (21)은 금속판 (1) 상에 배열되고 적층되며, 동시에 핫프레스(hot press)에 의해서 압축 본딩된다. 동시에, 핫프레스에 의해서 압축본딩은 배선층과 PI 막을 접착하며, PI 막을 상호 접착한다. PI 막의 비아홀 (5) 내에 충전된 구리층과, 하부기판 혹은 GND 배선층을 형성하는 구리층은 핫프레스에 의해서 접속된다.

도 4A와 도 4B는 비아홀 (5) 내에 충전된 금속막 (6)과 GND 배선층 (4a 및 4b) 사이에 존재한다. 도 4A는 압축본딩 전의 상태를 도시하며, 도 4B는 압축본딩 후의 상태를 도시한다. 도 4A에 도시된 바와 같이, 압축본딩 전에 PI 막 (21)에 형성된 비아홀 (5) 내에 충전된 금속층 (6)의 하부가 비아홀 (5)로부터 밖으로 돌출된다. 돌출부 (6a)는 하부의 GND 배선층 (4b)과 마주하고, 동시에 도 3E 내에 도시된 압축본딩 단계는 압축본딩 후의 금속층 (6)의 돌출부 (6a)를 부수게 하며, 도 4B에 도시된 바와 같이, 금속층 (6)과 하부 GND 배선층 (4b)를 신뢰성 있게 접촉하여 그들을 접속한다.

도 5A 및 도 5B는 본 발명에 따르는 반도체칩용 다층 회로기판을 제조하는 방법에서의 접속방법의 다른 예를 보여준다. 비아홀 내에 충전된 금속층은 GND 배선층과 합금되어 그것과 접속된다. 도 5A는 압축본딩 전에 합금에 의해서 접속되는 것을 보여주며, 도 5B는 압축 본딩 후에 합금에 의해서 접속되는 것을 보여준다. 도 5A에 도시된 바와 같이, 비아홀 (5)은 금속층 (6)을 형성하도록 구리로 충전된 후에, 구리를 충전함으로써 형성된 금속층 (6)의 하단부 상에 약 0.05 내지 0.5 μ m의 두께로 금속층 (7)이 전기도금된다. 도 5B에 도시된 바와 같이, 금속층 (7)은 금속층 (6)의 하단부상에 형성되며, PI 막 (21)은 핫프레스에 의해서 압축본딩된다. 그러므로, 금이 하나의 PI 막 (21) 상의 GND 배선층 (4b)과 비아홀 (5) 내의 금속층 (6)으로 확산되어서, GND 배선층 (4)과 금속층 (6) 사이의 계면에서 구리와 금의 합금 (22)을 형성한다. 이 합금은 GND 배선층 (4)과 금속층 (6)을 접속한다.

일반적으로, 합금화는 가열을 필요로한다. 그러나, 금-구리 합금에 있어서, 금은 폴리이미드 접착 온도 (330 내지 390 $^{\circ}$ C) 근처에서 구리로 확산되어서 합금을 형성한다. 본 발명은 유기수지시트로서 폴리이미드를 사용하며, 금-구리 합금을 사용하여 접속을 실현화할 수 있다. 금 대신에, 금-주석 합금 박막이 배선층과 충전된 구리층 사이에 형성될 수도 있다. 또한, 이러한 경우, 상부 및 하부 배선층 (4a 및 4b)는 도 5B에 도시된 바와 같이, 배선층과 충전된 구리층 사이에서 합금화하여 접속함으로써 비아홀 (5) 내의 금속층 (6)에 의해서 전기적으로 접속될 수 있다.

본 발명의 또다른 실시예에 따르는 반도체칩 모듈용 다층 회로기판이 설명될 것이다.

도 6은 본 발명의 또다른 실시예에 따르는 반도체칩 모듈용 다층 회로기판을 도시한다. 도 6의 다층 회로기판은 금속막을 갖는 세라믹 판을 하부기판으로서 형성하고 있다. 세라믹 판을 사용하는 구조

에 있어서, 금속막 (1a) 을 갖는 세라믹 판 (1b) 은 도 1 의 구조에서 금속판 (1) 을 대신할 수 있다. 나머지 구조는 도 1 과 동일하다. 도 1 에서와 같은 동일한 참조번호는 동일한 부분을 나타내며, 그들 각각의 설명은 생략할 것이다. 이 실시예에는 또한 앞에서 설명된 실시예와 비슷하게, 접속방법으로서, 접촉접속 및 합금접속을 사용할 수 있다. 금속막을 갖는 세라믹 판이 하부기판으로서 사용될 때, 하부기판으로서 금속판을 사용할 때보다는 방열 효과가 떨어진다. 그러나, 다수의 MCMs 이 하나의 하부기판 상에 형성되고, 하나씩 절단할 때, 세라믹 판은 하부기판의 절단 단면에 임의의 플래시를 형성하지 않고도 MCMs 을 정밀하게 절단할 수 있다.

금속판 (1) 혹은 금속막 (1a) 은 본 발명의 각각의 상술된 실시예로 GND 와 접속되나, 전력 전위와 같은 고정전위에 접속될 수도 있다.

발명의 효과

상술된 바와 같이, 본 발명은, 고정전위가 인가되는 금속재료로 이루어진 주표면을 갖는 하부기판과, 상기 하부기판의 주표면 상에 적층되어 있으며 그들 상에 배선층을 형성하고 있는 절연층과, 고정전위 배선층 아래에 절연층을 관통하여 연장 형성된 비아홀과, 비아홀 내에 충전되어서 고정전위 배선층의 하부면에 상단부가 접속된 금속층을 구비하며, 금속층의 하단부가 하부기판의 주표면에 접촉된 상태로, 하부기판의 주표면과 접촉하고 있는 절연층 중 하나를 하부기판 상에 형성하고, 금속층의 하단부가 하나의 절연층의 고정전위 배선층의 상부면과 접촉하고 있는 상태로, 하부기판의 주표면과 접촉하고 있는 절연층 상에 형성된 다른 절연층을 적층하고 있는 반도체칩 모듈용 다층 회로기판을 제공한다.

본 발명에 따르면, 절연층 상에 형성된 배선층은 절연층 상에 형성된 고정전위 배선층을 통하여 고정전위와 접속되며, 배선층과 접속하고 있는 비아홀 내에 충전된 금속층과 접속하고 있다.

하부기판이 금속판으로부터 형성될 때, 금속판은 히트싱크로서 기능하여 방열 효과를 개선한다.

하부기판이 금속판 혹은 금속막으로서 사용하는 세라믹 판을 사용하여 형성될지라도, 고정전위에 있는 평판 상의 금속층이 존재하기 때문에, 기판 아래로부터의 전지방사를 차단하는 전자기 차단 효과가 있다.

(57) 청구의 범위

청구항 1

고정전위가 인가되는 금속재료로 이루어진 주표면을 갖는 하부기판 (1) 과,
상기 하부기판의 주표면 상에 적층되며, 배선층이 표면 상에 형성된 절연층 (2,3) 과,
상기 절연층 상에 형성된 배선층의 일부분을 구성하는 고정전위 배선층 (4)과,
상기 고정전위 배선층 아래에 상기 절연층을 관통하여 연장되도록 형성된 비아홀 (5) 과,
상기 고정전위 배선층의 하부면에 상단부가 접속되도록 비아홀 내에 충전된 금속층 (6) 을 구비하며,
상기 금속층의 하단부가 상기 하부기판의 주표면에 접촉되는 상태로, 상기 하부기판의 주표면과 접촉하는 상기 절연층 중 하나를 상기 하부기판 상에 형성하고,
상기 금속층의 하단부가 상기 하나의 절연층의 상기 고정전위 배선층의 상부면과 접촉되는 상태로, 상기 하부기판의 주표면과 접촉하는 상기 절연층 상에 형성된 다른 절연층을 적층시키는 것을 특징으로 하는 반도체칩 모듈용 다층 회로기판.

청구항 2

제 1 항에 있어서, 상기 절연층은 유기수지로 이루어진 유기수지시트인 것을 특징으로 하는 다층 회로기판.

청구항 3

제 2 항에 있어서, 상기 유기수지시트는 폴리이미드로 이루어지는 것을 특징으로 하는 다층 회로기판.

청구항 4

제 1 항에 있어서, 상기 금속재료, 상기 배선층 및 비아홀 내에 충전된 상기 금속층은 구리로 이루어지는 것을 특징으로 하는 다층 회로기판.

청구항 5

제 4 항에 있어서, 상기 비아홀 내에 충전된 상기 구리금속층의 하단부에 금을 도포하는 것을 특징으로 하는 다층 회로기판.

청구항 6

제 1 항에 있어서, 상기 하부기판은 금속판으로부터 형성된 리드프레임인 것으로 특징으로 하는 다층 회로기판.

청구항 7

제 6 항에 있어서, 상기 리드프레임은 구리판으로 형성되는 것을 특징으로 하는 다층 회로기판.

청구항 8

제 1 항에 있어서, 상기 하부기판은 상기 주표면 상에 금속막을 갖는 세라믹판으로 형성되는 것을 특징으로

로 하는 다층 회로기판.

청구항 9

금속재료로 이루어진 주표면을 갖는 하부기판 (1) 을 준비하는 단계와,

다수의 절연층 (2,3) 을 제조하는 단계로서, 소정의 위치에 상기 절연층을 관통하여 연장된 비아홀 (5) 을 형성하고 있는 다수의 절연층 (2,3) 을 제조하는 단계와,

상기 절연층 내에 형성된 상기 비아홀 내에 금속층을 충전하는 단계와,

상기 절연층 상의 금속층의 상단부에 접속된 고정전위 배선층 (4) 을 포함하는 배선층을 형성하는 단계와,

고정전위 배선층을 갖는 다른 절연층 상에 형성된 절연층 중 하나의 비아홀 내에 충전된 금속층의 하단부가 고정전위 배선층의 상부면과 접촉하도록 한 상태로 하부기판의 주표면 상에 절연층들을 적층하고 동시에 압착분당하는 단계를 구비하며,

상기 비아홀 내에 충전된 금속층의 하단부는 상기 하부기판의 주표면에 접속되는 것을 특징으로 하는 반도체 칩 모듈용 다층 회로기판의 제조방법.

청구항 10

제 9 항에 있어서, 상기 금속재료, 상기 배선층 및 상기 비아홀 내에 충전된 금속층은 구리로 이루어지는 것을 특징으로 하는 다층 회로기판의 제조방법.

청구항 11

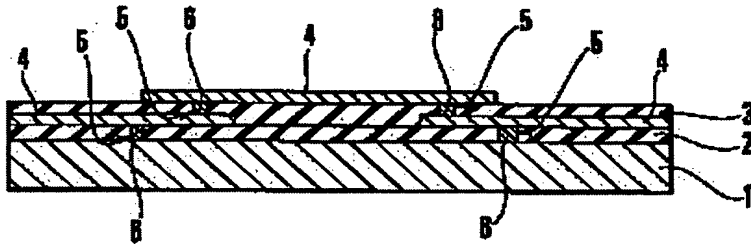
제 9 항에 있어서, 각 비아홀 내에 금속층을 충전할 때에는, 비아홀로부터 금속층의 하단부를 돌출시키는 단계와, 동시에 압착분당할 때에는, 상기 금속층의 돌출 하단부를 접속상대측 상의 고정전위 배선층의 상부면에 접속하는 단계를 더 구비하는 것을 특징으로 하는 다층 회로기판의 제조방법.

청구항 12

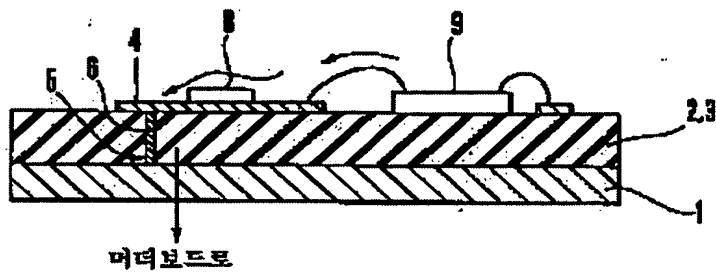
제 10 항에 있어서, 각 비아홀 내에 구리금속층을 충전시킨 후에, 충전된 금속층의 하단부 상에 금박막을 형성하는 단계와, 동시에 압착분당을 할 때에, 금속층의 하단부와 접촉하고 있는 구리 고정전위 배선층과 금속층의 하단부 사이에 박막으로 금-구리 합금을 형성하는 단계와, 합금에 의해서 구리 고정전위 배선층과 금속층의 하단부를 접속하는 단계를 더 구비하는 것을 특징으로 하는 다층 회로기판의 제조방법.

도면

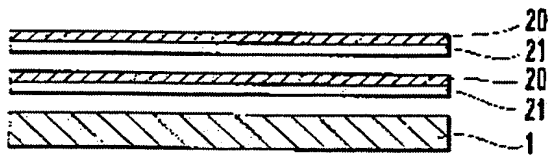
도면1



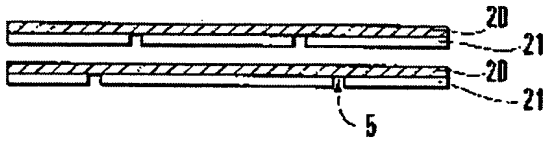
도면2



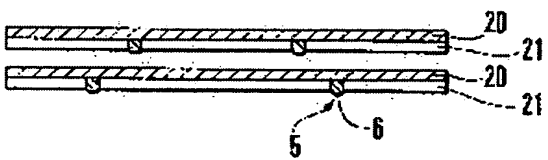
도 3



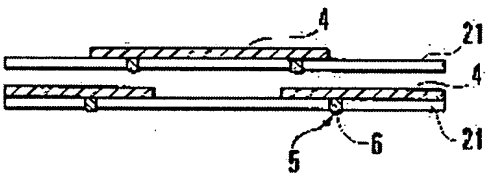
A



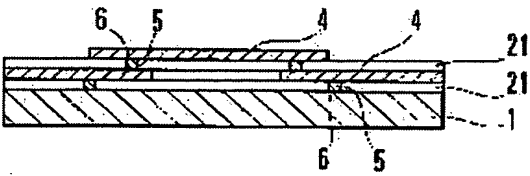
B



C

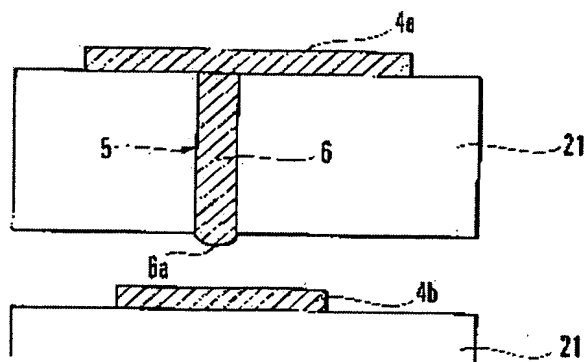


D

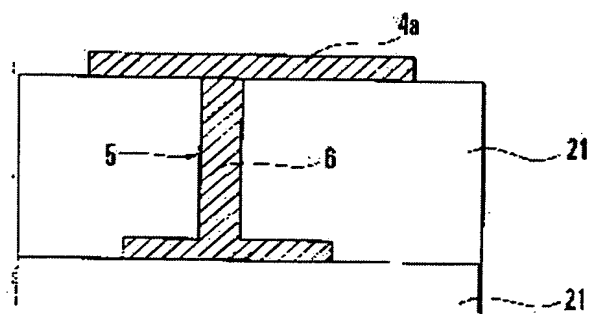


E

도 8A

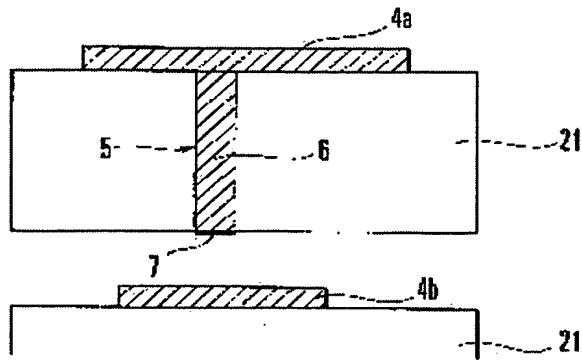


A

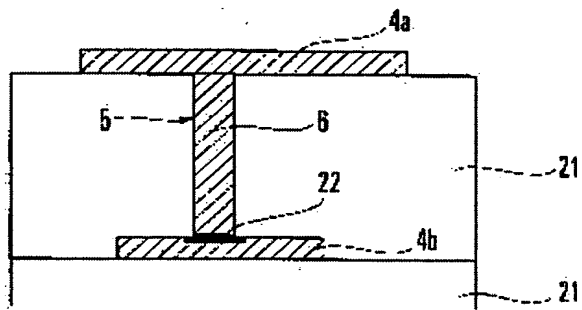


B

도 5

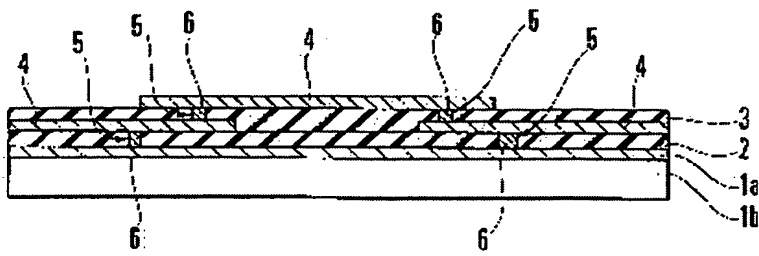


A

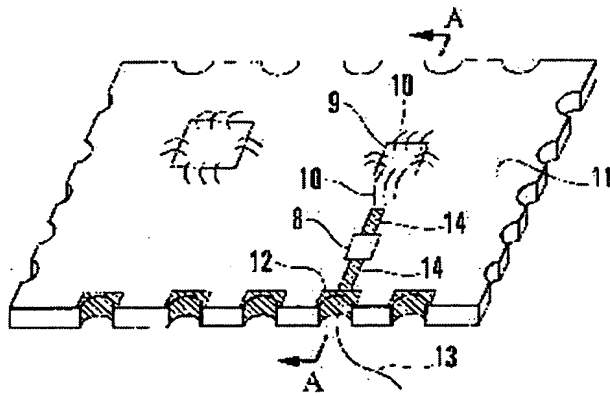


B

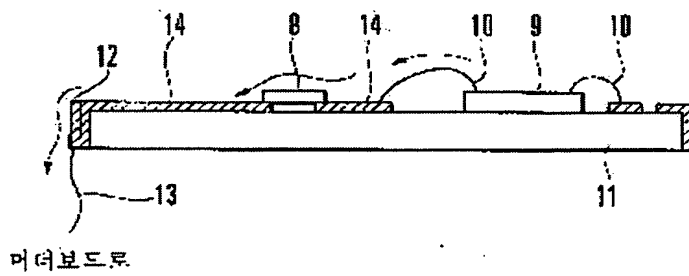
도 8



도 9



A



B